

ПРИМЕНЕНИЕ ПОЛИНОМИАЛЬНЫХ КОДОВ
ПРИ СИНТЕЗЕ СХЕМ ВСТРОЕННОГО КОНТРОЛЯ ДЛЯ КОМБИНАЦИОННЫХ УСТРОЙСТВ
ПО МЕТОДУ ЛОГИЧЕСКОГО ДОПОЛНЕНИЯ

Д. В. ЕФАНОВ^{1*}, Р. Б. АБДУЛЛАЕВ², И. В. ЛЕСКОВЕЦ³

¹ Российский университет транспорта, Москва, Россия,
Санкт-Петербургский политехнический университет Петра Великого, Санкт-Петербург, Россия
*TrES-4b@yandex.ru

² Ташкентский государственный транспортный университет, Ташкент, Узбекистан

³ Белорусско-Российский университет, Могилев, Беларусь

Аннотация. Описываются особенности применения полиномиальных кодов при синтезе схем встроенного контроля для комбинационных цифровых устройств по методу логического дополнения. Рассматриваются возможности учета характеристик обнаружения ошибок в информационных векторах по видам (монотонные, симметричные и асимметричные) и кратностям. Приведены основные классы полиномиальных кодов, ориентированных на обнаружение ошибок конкретного вида и определенной кратностью. Сформулированы условия использования полиномиальных кодов при организации схем встроенного контроля по контролепригодным группам выходов исходного устройства. Приведены примеры реализации схем встроенного контроля с выделением групп выходов устройства, допускающих только одно- и двукратные ошибки (H^2 -групп выходов). Сформулирован обобщенный алгоритм синтеза схем встроенного контроля по H^2 -группам выходов.

Ключевые слова: комбинационные цифровые устройства, схема встроенного контроля, метод логического дополнения, полиномиальный код, самопроверяемое устройство

Ссылка для цитирования: Ефанов Д. В., Абдуллаев Р. Б., Лесковец И. В. Применение полиномиальных кодов при синтезе схем встроенного контроля для комбинационных устройств по методу логического дополнения // Изв. вузов. Приборостроение. 2022. Т. 65, № 1. С. 5—18. DOI: 10.17586/0021-3454-2022-65-1-5-18.

APPLICATION OF POLYNOMIAL CODES IN THE SYNTHESIS OF BUILT-IN CONTROL CIRCUITS
FOR COMBINATIONAL DEVICES USING BOOLEAN COMPLEMENT METHOD

D. V. Efanov^{1*}, R. B. Abdullaev², I. V. Leskovets³

¹ Russian University of Transport, Moscow, Russia,
Peter the Great St. Petersburg Polytechnic University, St. Petersburg, Russia
*TrES-4b@yandex.ru

² Tashkent State Transport University, Tashkent, Uzbekistan

³ Belarusian-Russian University, Mogilev, Belarus

Abstract. The features of polynomial codes application in the synthesis of built-in control circuits for combination digital devices using Boolean complement method are described. The possibilities of accounting for the characteristics of error detection in information vectors by types (monotonic, symmetric and asymmetric) and multiplicities are considered. The main classes of polynomial codes focused on the detection of errors of a specific type and a certain multiplicity are presented. The conditions for the use of polynomial codes in the organization of built-in control circuits according

to controllable groups of outputs of the original device are formulated. Examples of the implementation of built-in control circuits with the allocation of groups of device outputs that allow only one- and two-fold errors (H^2 -groups of outputs) are given. A generalized algorithm for synthesizing built-in control circuits by H^2 -groups of outputs is formulated.

Keywords: combinational digital devices, built-in control circuit, Boolean complement method, polynomial code, self-checking device

For citation: Efanov D. V., Abdullaev R. B., Leskovets I. V. Application of polynomial codes in the synthesis of built-in control circuits for combinational devices using Boolean complement method. *Journal of Instrument Engineering*. 2021. Vol. 65, N 1. P. 5—18 (in Russian). DOI: 10.17586/0021-3454-2022-65-1-5-18.

Введение. При построении систем критического применения используются контроле-пригодные и самопроверяемые устройства и функциональные блоки, что позволяет в процессе эксплуатации своевременно идентифицировать возникающие неисправности [1—3]. Как правило, для этого применяются специализированные схемы встроенного контроля (СВК), реализуемые на основе кодовых методов [4—6]. Использование таких методов подразумевает контроль вычислений с помощью проверки соответствия двоичных векторов, формируемых на выходах объекта диагностирования и контрольного устройства, множеству кодовых слов заранее выбранного избыточного равномерного кода [7]. Часто для этого применяются разнообразные линейные коды, коды с суммированием и равновесные коды [8—13].

В системах критического применения не допускается накопление ошибок (возникновение скрытых неисправностей), так как в результате это приводит к возникновению кратных ошибок и более вероятному отказу всей системы [14, 15]. Поэтому при синтезе СВК на основе кодовых методов используется только свойство обнаружения кодами ошибок, а не их коррекции. Коррекция без идентификации ошибки привела бы как раз к ее маскировке. Более того, коды, ориентированные на обнаружение ошибок, а не на их исправление, имеют меньшую избыточность [7], что соответственно позволяет синтезировать СВК с малой вносимой структурной избыточностью [5, 6].

Один из перспективных подходов к синтезу СВК — так называемый метод логического дополнения [16], впервые представленный в [17] для использования в составе структуры самодвойственного паритета. Данный метод является развитием метода контроля вычислений по паритету [18].

Глубоко исследованными при синтезе СВК по методу логического дополнения являются способы, основанные на использовании неразделимых кодов, к которым относятся равновесные коды, коды Плоткина (Адамара), коды Бордена и др. [19, 20]. Особенность этих кодов заключается в том, что в них невозможно выделить информационные и контрольные разряды. Поэтому при контроле устройств осуществляется преобразование двоичного вектора, формируемого на выходах объекта диагностирования, в кодовое слово, принадлежащее конкретно выбранному неразделимому коду. Искажения функций на выходах объекта диагностирования приводят к искажениям в кодовом слове выбранного неразделимого кода, что обнаруживается схемой самопроверяемого тестера [8, 9].

Известны два основных подхода к синтезу СВК по методу логического дополнения с применением избыточного кодирования. Первый подход называется эвристическим и заключается в анализе работы исходного устройства на каждой входной комбинации и последовательном выборе соответствующего преобразования в СВК. Для различных равновесных кодов этот подход детально описан в работах [10, 16, 21—23]. Второй подход называется функциональным и связан с изначальной установкой зависимости между функциями, реализуемыми на выходах объекта диагностирования, и функциями, реализуемыми устройством для их преобразования. Установление такой зависимости не требует анализа работы устройства на каждой входной комбинации и существенно упрощает процесс синтеза СВК. Для различных равновесных кодов применение функционального подхода детально описано в [24—26].

При синтезе СВК по методу логического дополнения могут применяться и разделимые коды. Например, в [27] предложено использовать классический код Бергера $S(3,2)$, где первая цифра означает число информационных разрядов, а вторая — число контрольных. СВК организуется для группы из пяти выходов с преобразованием двух из них таким образом, чтобы формируемое на входах тестера кодовое слово принадлежало $S(3,2)$ -коду. Для многовыходных устройств осуществляется контроль вычислений по группам из пяти выходов с последующим сжатием сигналов с контрольных выходов каждой СВК с использованием самопроверяемого компаратора [28]. Теория контроля цифровых устройств по методу логического дополнения с применением кодов с суммированием развивается в работах [29, 30]. Предлагается использовать коды Бергера с произвольной длиной информационного вектора, а также коды Боуза — Лина. Установлены условия, при которых ошибка на выходах объекта диагностирования не приведет к одновременному искажению контрольных и информационных разрядов на входах самопроверяемого тестера. Как показано в [31, 32], число таких ошибок при использовании как кодов Бергера, так и кодов Боуза — Лина весьма велико и превышает число ошибок, возникающих только в информационных разрядах. Методы же контроля устройств, при которых искажения могут возникать только в информационных векторах, проработаны достаточно хорошо [1, 4—6, 10].

Часто при контроле вычислений в цифровых системах применяют алгебраические, или полиномиальные, коды [33]. Особенности обнаружения ошибок в СВК в случае их возникновения только в информационном векторе при безошибочности разрядов контрольного вектора детально изучены в [34—36]. Не исследованным является вопрос применения полиномиальных кодов при синтезе СВК по методу логического дополнения, чему и посвящена настоящая статья.

Метод логического дополнения*. Метод логического дополнения заключается в специальном преобразовании в СВК вектора $\langle f_n f_{n-1} \dots f_2 f_1 \rangle$, формируемого на выходах объекта диагностирования $F(x)$, в кодовое слово $\langle h_n h_{n-1} \dots h_2 h_1 \rangle$. Преобразование осуществляется с помощью блока коррекции сигналов (БКС), реализованного в виде каскада двухвходовых сумматоров по модулю $M=2$ (элементов XOR). На первые входы каждого сумматора подается сигнал, поступающий с определенного выхода объекта диагностирования. На вторые входы каждого сумматора подается сигнал с одноименного выхода g_i , $i = \overline{1, n}$, контрольного устройства $G(x)$. Таким образом, преобразования осуществляются по формуле $h_i = f_i \oplus g_i$, $i = \overline{1, n}$.

Контроль принадлежности кодового слова $\langle h_n h_{n-1} \dots h_2 h_1 \rangle$ выбранному избыточному коду осуществляется тестером TSC, имеющим два контрольных выхода z^0 и z^1 . В случае если подаваемое на входы тестера кодовое слово принадлежит заданному коду, на контрольных выходах формируется парафазный сигнал $\langle 01 \rangle$ или $\langle 10 \rangle$, в противном случае — непарафазный сигнал $\langle 00 \rangle$ или $\langle 11 \rangle$. Соответственно, неисправности в устройстве $F(x)$ приводят к возникновению искажений на его выходах, которые транслируются через БКС на входы тестера.

Структура организации СВК по методу логического дополнения приведена на рис. 1.

Необходимо отметить, что при синтезе СВК по методу логического дополнения не всегда требуется преобразование всех рабочих выходов объекта диагностирования. К примеру, при использовании равновесного кода „1 из 4“ достаточно преобразовать три выхода из четырех [22], а при использовании кода „2 из 4“, — вообще, два из четырех [25]. Если в качестве кода применить полиномиальный код, то в БКС достаточно преобразовать только те выходы, которые будут соответствовать контрольным разрядам данного кода. К примеру, на рис. 2, а, б приведены структуры организации СВК с применением полиномиальных кодов с двумя и тремя контрольными разрядами. Отметим, что могут быть использованы и структуры

* Строго говоря, метод целесообразно называть „методом логической коррекции“, а не „методом логического дополнения“. Однако далее будем придерживаться устоявшейся терминологии.

с меньшим числом элементов преобразования, в которых часть контрольных разрядов вычисляется непосредственно на выходах блока $G(x)$ без дальнейшего преобразования [30].

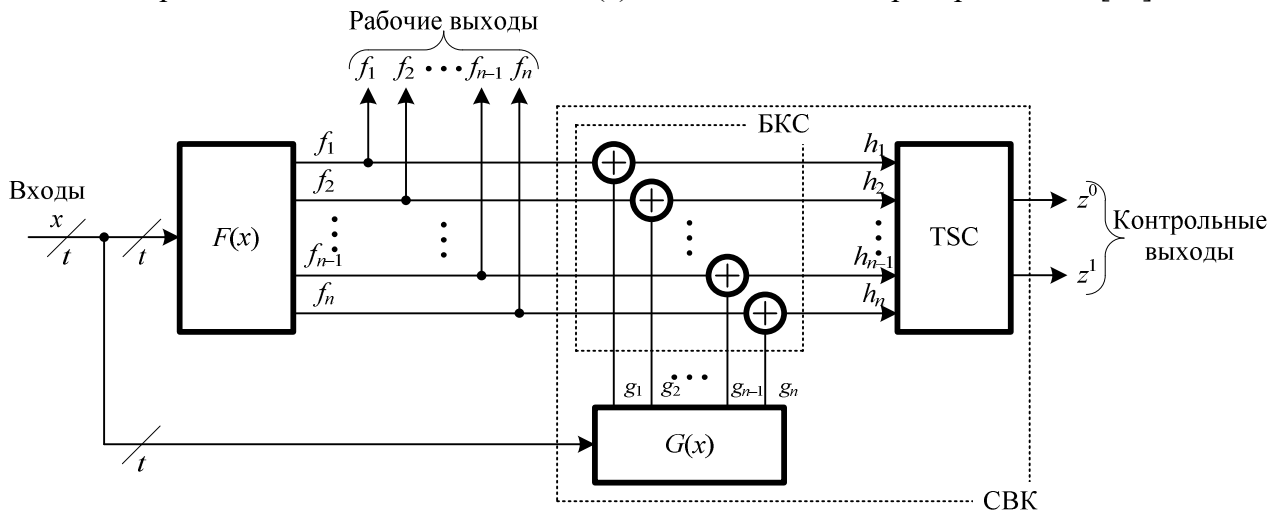


Рис. 1

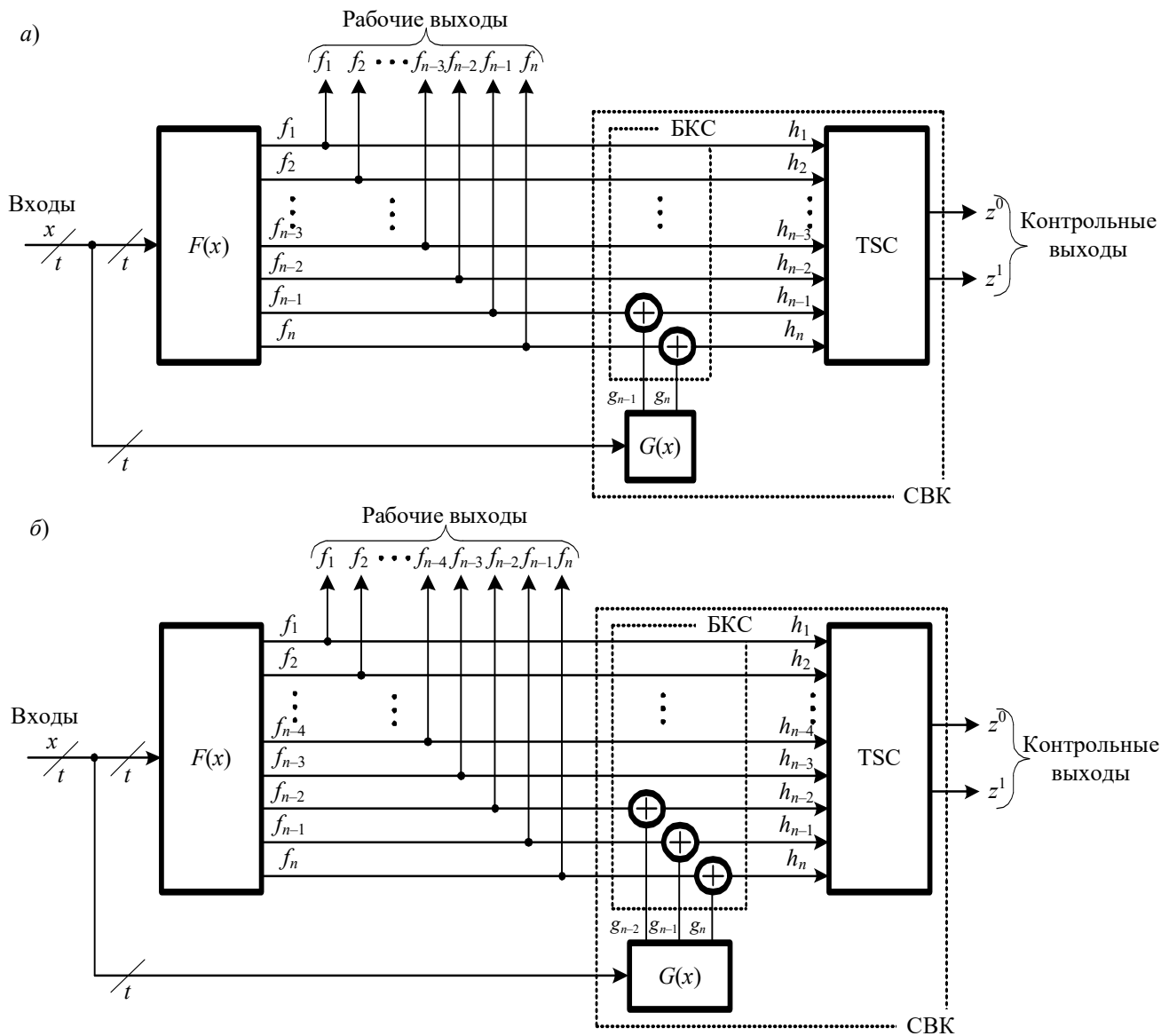


Рис. 2

Возможность преобразования малого числа выходов является существенным преимуществом применения полиномиальных кодов при синтезе СВК. В этом случае для обеспечения полной самопроверяемости СВК потребуется сформировать хотя бы по разу каждую тестовую комбинацию для двух или трех элементов XOR , а также хотя бы по разу каждый контрольный вектор полиномиального кода. Число функций преобразования равно числу элементов XOR , а сам блок контрольной логики $G(x)$, соответственно, можно выполнить максимально простым.

Свойства полиномиальных кодов. Свойства полиномиальных кодов, которые целесообразно учитывать при синтезе СВК, определены в [34—36]. При этом исследованы характеристики обнаружения ошибок различных видов и разной кратностью в информационных векторах.

Ошибки подразделяются на одиночные, монотонные, симметричные и асимметричные и могут иметь различную кратность $d \in \{1, 2, \dots, m\}$, где m — число разрядов в информационном векторе [37]. Кратность — это число искажаемых разрядов при возникновении ошибки. Ошибка, связанная с искажением одного разряда, является одиночной и всегда должна обнаруживаться помехозащищенными кодами. Ошибка, при которой одновременно искажаются два и более разряда, может быть монотонной, симметричной или асимметричной. Монотонная ошибка связана с однонаправленным проявлением искажений и возникновением искажений только нулевых или только единичных разрядов. Немонотонная ошибка содержит искажения и нулевых и единичных разрядов. Ошибка четной кратностью, при которой искажается одинаковое количество нулевых и единичных разрядов, называется симметричной. Ошибка кратностью $d \geq 3$, связанная с неравным числом искажений нулевых и единичных разрядов, называется асимметричной. Существуют отдельные классы полиномиальных кодов, ориентированных на обнаружение ошибок определенной кратностью и конкретного вида.

В табл. 1 приведены полиномы, при использовании которых формируются коды, обнаруживающие полное множество симметричных и асимметричных ошибок. В [36] были определены свойства, при которых коды, построенные с помощью полиномов вида $x^j + x^0$, где $j = \overline{2, m}$, обнаруживают любые асимметричные ошибки. Также при использовании полиномов вида $x^j + x^{j-i} + \dots + x^0$, $i \in \{1, 2, 3, \dots\}$, $i < j$, формируются коды, обнаруживающие любые симметричные ошибки.

Отдельно установлены полиномиальные коды, обнаруживающие ошибки любой кратностью до заданного значения d (табл. 2). В таблицах число информационных разрядов обозначено как m , число контрольных разрядов — k ; полиномиальный код обозначен в виде буквы P и десятичного числа N , соответствующего двоичному эквиваленту в представлении образующего полинома. Для каждого кода указан показатель кодовой скорости R : чем выше кодовая скорость, тем меньше избыточность кода. Соответственно приоритетом применения является код с наибольшей кодовой скоростью.

Таблица 1

Образующий полином	Обозначение	k	Ограничения	R
Коды с обнаружением любых асимметричных ошибок				
$x^2 + x^0$	$P5$	2	$m \leq 3$	$R \leq 0,6$
$x^3 + x^0$	$P9$	3	$m \leq 4$	$R \leq 0,57$
$x^4 + x^0$	$P17$	4	$m \leq 5$	$R \leq 0,55$
$x^5 + x^0$	$P33$	5	$m \leq 6$	$R \leq 0,54$
Коды с обнаружением любых симметричных ошибок				
$x^2 + x + x^0$	$P7$	2	$m \leq 3$	$R \leq 0,6$
$x^3 + x + x^0, x^3 + x^2 + x^0$	$P11, P13$	3	$m \leq 4$	$R \leq 0,57$
$x^4 + x + x^0, x^4 + x^3 + x^0$	$P19, P25$	4	$m \leq 5$	$R \leq 0,55$
$x^5 + x^1 + x^0, x^5 + x^4 + x^0$	$P35, P49$	5	$m \leq 6$	$R \leq 0,54$

Таблица 2

Образующий полином	Обозначение	k	Ограничения	R
Коды с обнаружением любых ошибок кратностью $d \leq 2$				
x^2+x+x^0	$P7$	2	$m \leq 3$	$R \leq 0,6$
$x^3+x+x^0, x^3+x^2+x^0$	$P11, P13$	3	$m \leq 7$	$R \leq 0,7$
$x^4+x+x^0, x^4+x^3+x^0$	$P19, P25$	4	$m \leq 15$	$R \leq 0,789$
$x^5+x^1+x^0, x^5+x^4+x^0$	$P35, P49$	5	$m \leq 31$	$R \leq 0,861$
Коды с обнаружением любых ошибок кратностью $d \leq 3$				
$x^3+x^2+x^1+x^0$	$P15$	3	$m \leq 4$	$R \leq 0,571$
$x^4+x^2+x^1+x^0, x^4+x^3+x^2+x^0$	$P23, P29$	4	$m \leq 7$	$R \leq 0,636$
$x^5+x^2+x^1+x^0, x^5+x^4+x^3+x^0$	$P39, P57$	5	$m \leq 14$	$R \leq 0,737$
$x^5+x^3+x^1+x^0, x^5+x^4+x^2+x^0$	$P43, P53$	5	$m \leq 15$	$R \leq 0,75$
Коды с обнаружением любых ошибок кратностью $d \leq 4$				
$x^4+x^3+x^2+x^1+x^0$	$P31$	4	$m \leq 5$	$R \leq 0,556$
Коды с обнаружением любых ошибок кратностью $d \leq 5$				
$x^5+x^4+x^3+x^2+x^1+x^0$	$P63$	5	$m \leq 6$	$R \leq 0,545$

Коды с обнаружением ошибок любой кратностью до заданного значения d можно эффективно применять при синтезе СВК по методу логического дополнения.

Применение полиномиальных кодов с обнаружением ошибок любой кратностью до заданной. Рассмотрим процедуру применения полиномиальных кодов с числом контрольных разрядов $k=2$ и $k=3$ при синтезе СВК по методу логического дополнения. Используются структуры, приведенные на рис. 2.

Прежде всего, при синтезе СВК требуется определить группы преобразуемых и непреобразуемых выходов, что можно реализовать на основе анализа структуры объекта диагностирования либо с использованием функционального метода [30].

Определение 1. Группа выходов цифрового устройства $(f_{i_1}, f_{i_2}, \dots, f_{i_s})$, $\{i_1, i_2, \dots, i_s\} \in \{1, 2, \dots, n\}$, структурно независима от группы выходов $(f_{j_1}, f_{j_2}, \dots, f_{j_l})$, $\{j_1, j_2, \dots, j_l\} \in \{1, 2, \dots, n\} \setminus \{i_1, i_2, \dots, i_s\}$, если в его структуре не существует элемента, пути от которого ведут одновременно хотя бы к одному из выходов группы $(f_{i_1}, f_{i_2}, \dots, f_{i_s})$ и хотя бы к одному из выходов группы $(f_{j_1}, f_{j_2}, \dots, f_{j_l})$.

Если имеется группа выходов $(f_{i_1}, f_{i_2}, \dots, f_{i_s})$, структурно независимая от группы выходов $(f_{j_1}, f_{j_2}, \dots, f_{j_l})$, то в качестве преобразуемых могут быть выбраны выходы как первой, так и второй группы. Среди таких групп осуществляется поиск выходов, которые следует преобразовывать.

Утверждение 1. Группа выходов (f_a, f_b) , $a, b \in \{1, 2, \dots, n\}$, функционально независима от множества выходов $\{f_{i_1}, f_{i_2}, \dots, f_{i_p}\} = \{f_1, f_2, \dots, f_n\} \setminus \{f_a, f_b\}$, если для любого элемента G_q с выходом y_q выполняется условие

$$\left(\frac{\partial f_a}{\partial y_q} \vee \frac{\partial f_b}{\partial y_q} \right) \left(\frac{\partial f_{i_1}}{\partial y_q} \vee \frac{\partial f_{i_2}}{\partial y_q} \vee \dots \vee \frac{\partial f_{i_p}}{\partial y_q} \right) = 0. \quad (1)$$

Утверждение 2. Группа выходов (f_a, f_b, f_c) , $a, b, c \in \{1, 2, \dots, n\}$, функционально независима от множества выходов $\{f_{i_1}, f_{i_2}, \dots, f_{i_v}\} = \{f_1, f_2, \dots, f_n\} \setminus \{f_a, f_b, f_c\}$, если для любого элемента G_q с выходом y_q выполняется условие

$$\left(\frac{\partial f_a}{\partial y_q} \vee \frac{\partial f_b}{\partial y_q} \vee \frac{\partial f_c}{\partial y_q} \right) \left(\frac{\partial f_{i_1}}{\partial y_q} \vee \frac{\partial f_{i_2}}{\partial y_q} \vee \dots \vee \frac{\partial f_{i_v}}{\partial y_q} \right) = 0. \quad (2)$$

В формулах (1), (2) выражение в первых скобках определяет условия возникновения искажения хотя бы одного выхода из группы (f_a, f_b) или группы (f_a, f_b, f_c) , а выражение во вторых скобках — условия искажения хотя бы одного из оставшихся выходов. Если произведение выражений в скобках равно нулю, то не существует входных комбинаций, на которых одновременно искажается хотя бы один выход из первой группы и хотя бы один выход из второй группы.

Выделив преобразуемые и неперобразуемые выходы, переходим к реализации СВК по методу логического дополнения. Используем специальные классы полиномиальных кодов, обнаруживающие ошибки любой кратностью до заданного значения d . При этом следует обратиться к понятию r -независимых групп выходов [38].

О п р е д е л е н и е 2. Множество выходов цифрового устройства $\{f_{i_1}, f_{i_2}, \dots, f_{i_s}\}$, $i_1, i_2, \dots, i_s \in \{1, 2, \dots, n\}$ образует r -независимую группу (H^r -группу), если неисправность выхода любого логического элемента G_q его структуры искажает значения не более чем r выходов группы.

В работе [38] доказано следующее утверждение.

Утверждение 3. Множество выходов цифрового устройства $\{f_{i_1}, f_{i_2}, \dots, f_{i_s}\}$, $s \geq r+1$, образует H^r -группу, если для каждого из C_q^{r+1} подмножеств его $r+1$ выходов и для каждого элемента G_q его структуры выполняется условие

$$\frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \dots \frac{\partial f_{i_{r+1}}}{\partial y_q} = 0. \quad (3)$$

H^r -группу можно контролировать с помощью полиномиального кода, обнаруживающего любые ошибки кратностью $d \in \{1, 2, \dots, r\}$.

Например, из табл. 2 следует, что при $m \leq 7$ коды $P11$ и $P13$, имеющие 3 контрольных разряда, можно применять при контроле H^2 -групп выходов. На рис. 3 приведена схема комбинационного устройства, для которого можно организовать СВК по методу логического дополнения с применением полиномиальных кодов и выделением контролепригодных H^r -групп выходов.

Так, анализ структуры устройства (см. рис. 3) показал, что на множестве выходов $\{f_1, f_2, \dots, f_6\}$ возможно искажение с кратностью не более $d=2$. Контроль группы из шести выходов можно осуществить с использованием кода $P11$ или $P13$. При этом потребуется преобразовать три выхода из четырех оставшихся. Выход f_7 связан путями как с множеством выходов $\{f_1, f_2, \dots, f_6\}$, так и с множеством выходов $\{f_8, f_9, f_{10}\}$. Выходы же $\{f_8, f_9, f_{10}\}$ являются структурно независимыми по отношению к выходам $\{f_1, f_2, \dots, f_6\}$. Выделим выход f_7 и организуем СВК по методу логического дополнения, как это показано на рис. 4.

Аналогично контроль устройства можно реализовать по двум другим группам с применением другого полиномиального кода (рис. 5). Например, анализ выходов устройства показывает, что множества $\{f_2, f_4, f_7, f_5, f_9\}$ и $\{f_1, f_3, f_6, f_8, f_{10}\}$ являются H^2 -группами выходов. Для первого подмножества выходов в качестве неперобразуемых будут выделены выходы f_2, f_4 и f_7 , а в качестве преобразуемых — f_5 и f_9 . Для второго подмножества неперобразуемыми будут выходы f_1, f_3 и f_6 , а преобразуемыми — f_8 и f_{10} . Для их контроля используем $P7$ -код (см. табл. 2).

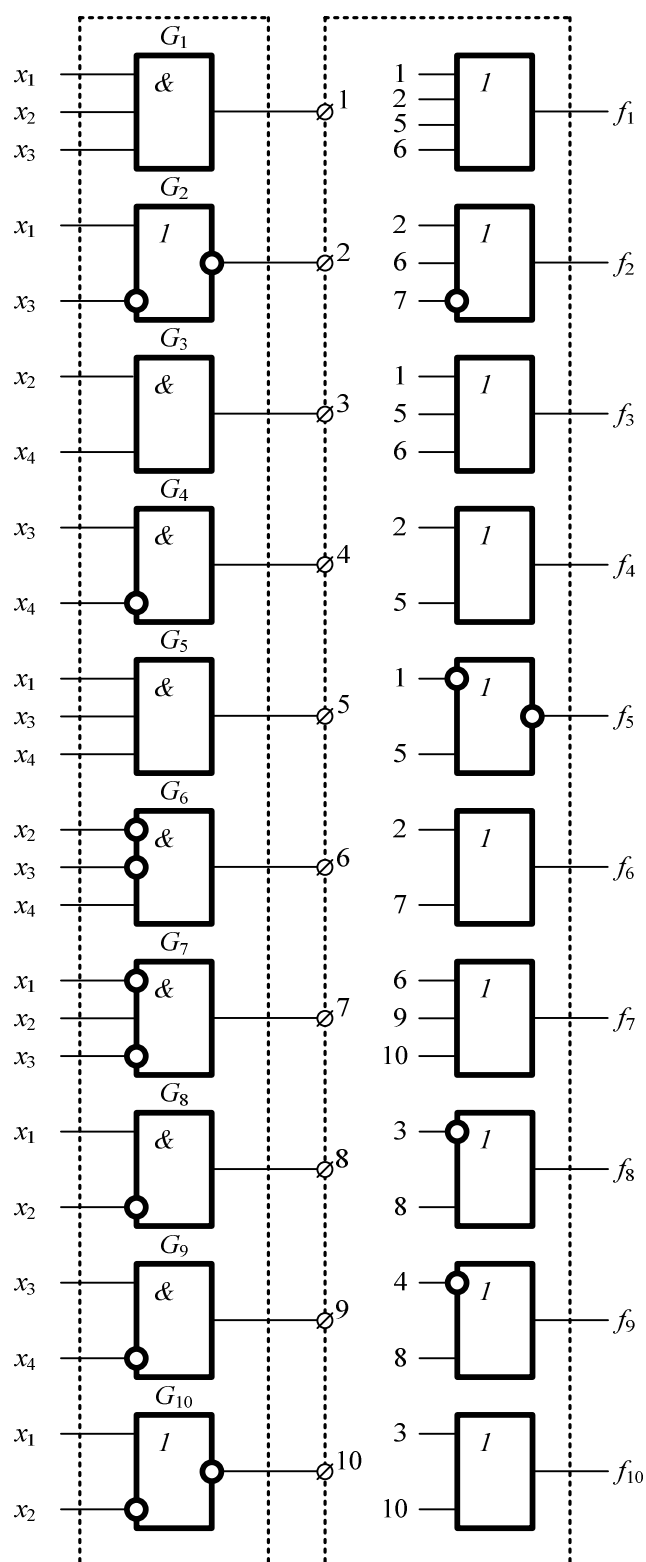


Рис. 3

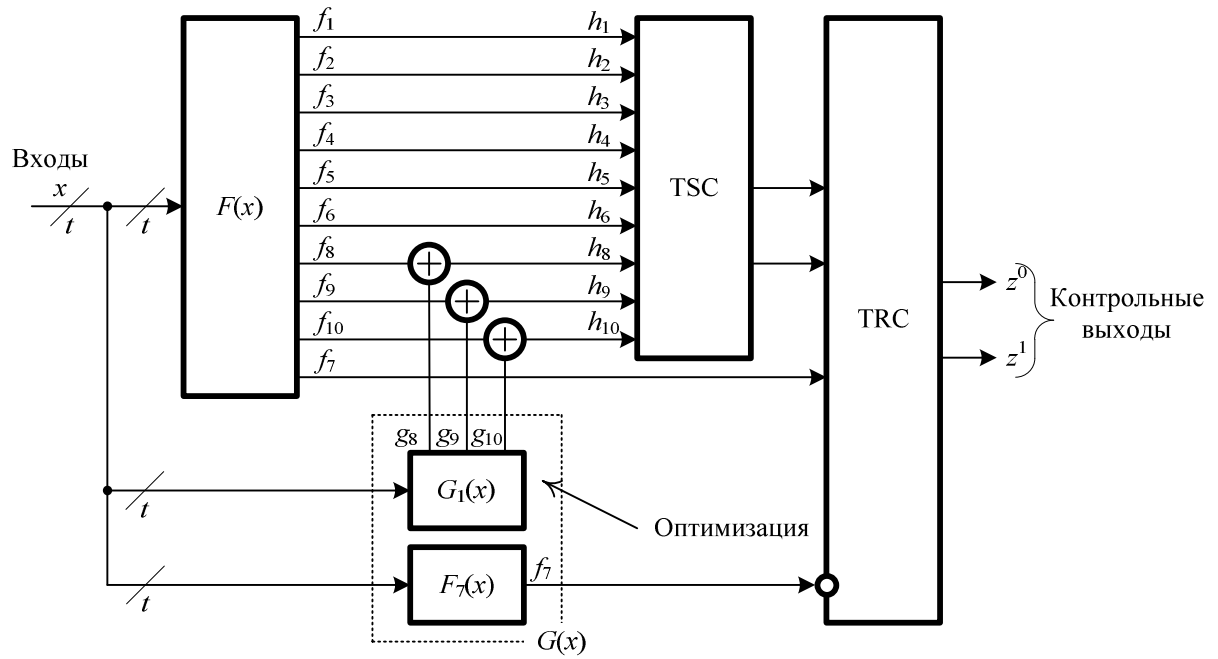


Рис. 4

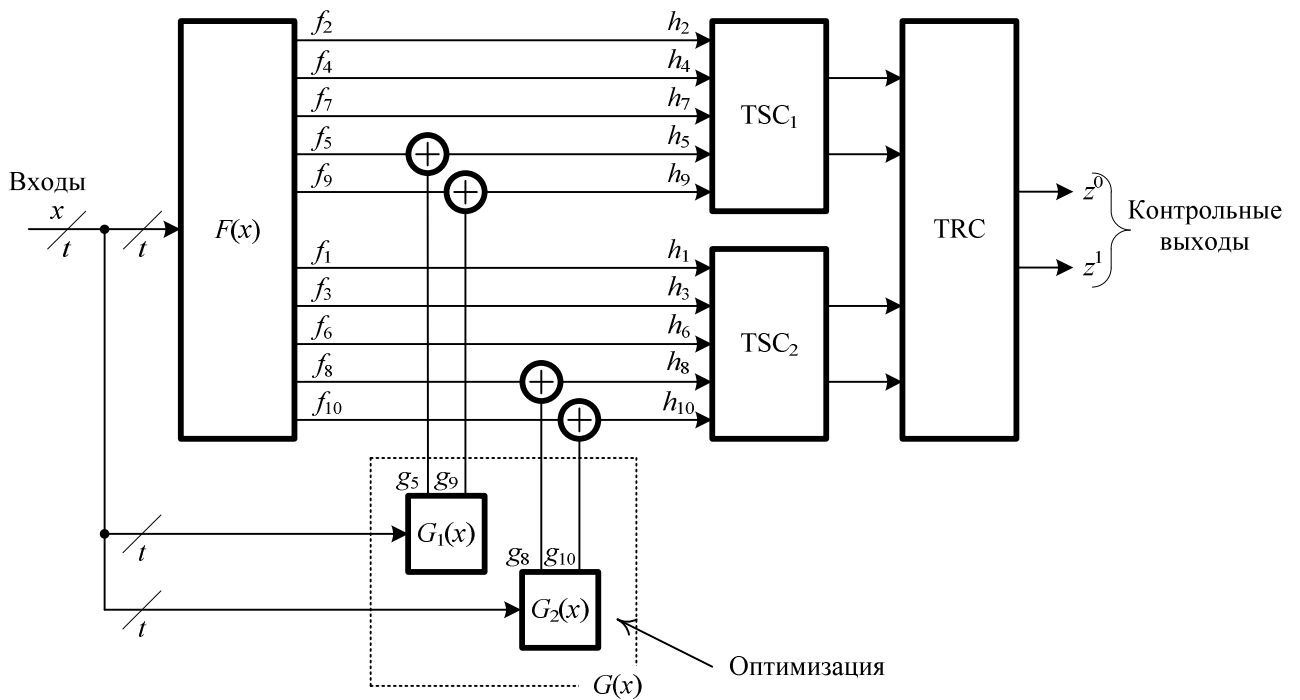


Рис. 5

Приведем обобщенный алгоритм поиска H^2 -групп при организации СВК по методу логического дополнения с применением полиномиальных кодов.

Шаг 1. Осуществляется поиск H^1 -групп выходов, для всех пар выходов $\{f_{i_1}, f_{i_2}\} \in \{f_1, f_2, \dots, f_n\}$ которых выполняется условие $\frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} = 0$.

Шаг 2. Производится покрытие выходов устройства H^1 -группами и определяется общее их число $b \leq n$.

Шаг 3. Производится расширение H^1 -группы до H^2 -групп путем добавления в них зависимых выходов из других групп с учетом соблюдения условия $\frac{\partial f_{i_1}}{\partial y_q} \frac{\partial f_{i_2}}{\partial y_q} \frac{\partial f_{i_3}}{\partial y_q} = 0$,

$\{f_{i_1}, f_{i_2}, f_{i_3}\} \in \{f_1, f_2, \dots, f_n\}$ для любой тройки выходов.

Шаг 4. Осуществляется реконфигурация покрытия выходов устройства за счет удаления H^1 -групп, выходы которых вошли в другие, расширенные до H^2 -групп, подмножества выходов.

Шаг 5. Для каждой H^2 -группы определяется число входящих в нее выходов n_i .

Шаг 6. Осуществляется поиск PN -кода, обеспечивающего обнаружение ошибок кратностью $d \leq 2$ в группах с n_i выходами.

Представленный алгоритм подразумевает анализ всех возможных подмножеств выходов объекта диагностирования, что ограничивает его применимость: полное множество групп

выходов устройства определяется величиной $\sum_{j=1}^n C_n^j = 2^n - 1$. Таким образом, эффективное ис-

пользование алгоритма возможно только для устройств с числом выходов, не превышающим 30...35. Данное ограничение связано с вычислительной мощностью современных компьютеров. К примеру, при $n=20$ потребуются анализ более 1 млн подмножеств выходов.

Заключение. Полиномиальные коды могут эффективно использоваться при синтезе СВК по методу логического дополнения. При этом, однако, существуют определенные особенности, которые необходимо учитывать. Прежде всего, требуется поиск групп преобразуемых и непреобразуемых выходов. Далее требуется поиск групп выходов с особыми свойствами проявления ошибок — обнаружения ошибок конкретного вида и определенной кратностью. Учитывая характеристики обнаружения ошибок полиномиальными кодами в информационных векторах, можно синтезировать большое количество СВК по методу логического дополнения, что показывает приведенный пример.

При синтезе СВК целесообразно учитывать важную особенность полиномиальных кодов — функции контрольных разрядов являются линейными. Эта особенность позволяет формировать равномерное количество информационных векторов для полного множества контрольных векторов. Отсюда следуют возможности более простого обеспечения полной самопроверяемости цифрового устройства, стандартизации методов синтеза элементов СВК и упрощения ее структуры. Более того, имеется возможность синтеза схемы с контролем вычислений по двум диагностическим параметрам — контролю принадлежности вычисляемых кодовых слов конкретному полиномиальному коду и контролю самодвойственности каждой контрольной функции. Такой способ использования принципа логического дополнения совместно с равновесными кодами „ w из $2w$ “ (w — вес кодового слова) предложен в [39] и может быть адаптирован для полиномиальных кодов.

Использование полиномиальных кодов является актуальным, но недостаточно исследованным направлением при построении устройств автоматики по методу логического дополнения. Дальнейшие исследования могут восполнить этот пробел в теории синтеза самопроверяемых и отказоустойчивых цифровых вычислительных устройств и систем.

СПИСОК ЛИТЕРАТУРЫ

1. Согомонян Е. С., Слабаков Е. В. Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989. 208 с.
2. Дрозд А. В., Харченко В. С., Антошук С. Г., Дрозд Ю. В., Дрозд М. А., Сулима Ю. Ю. Рабочее диагностирование безопасных информационно-управляющих систем / Под ред. А. В. Дрозда и В. С. Харченко. Харьков: Нац. аэрокосм. ун-т им. Н. Е. Жуковского „ХАИ“, 2012. 614 с.

3. Сапожников Вл. В. Синтез систем управления движением поездов на железнодорожных станциях с исключением опасных отказов. М.: Наука, 2021. 229 с.
4. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Коды Хэмминга в системах функционального контроля логических устройств. СПб: Наука, 2018. 151 с.
5. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Коды с суммированием для систем технического диагностирования. Т. 1. Классические коды Бергера и их модификации. М.: Наука, 2020. 383 с.
6. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Коды с суммированием для систем технического диагностирования. Т. 2. Взвешенные коды с суммированием. М.: Наука, 2021. 455 с.
7. Кодирование информации (двоичные коды) / Н. Т. Березюк, А. Г. Андрущенко, С. С. Моцицкий, В. И. Глушков, М. М. Бенеша, В. А. Гаврилов; Под ред. Н. Т. Березюка. Харьков: Вища школа, 1978. 252 с.
8. Сапожников В. В., Сапожников Вл. В. Самопроверяемые дискретные устройства. СПб: Энергоатомиздат, 1992. 224 с.
9. Piestrak S. J. Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995. 111 p.
10. Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D. New Methods of Concurrent Checking. Dordrecht: Springer Science+Business Media B.V., 2008. 184 p.
11. Гаврилов С. В., Гуров С. И., Жукова Т. Д., Рыжова Д. И. Применение теории кодирования для повышения помехозащищенности комбинационных схем // Информационные технологии. 2016. Т. 22, № 12. С. 931—937.
12. Tshagharyan G., Harutyunyan G., Shoukourian S., Zorian Y. Experimental Study on Hamming and Hsiao Codes in the Context of Embedded Applications // Proc. of the 15th IEEE East-West Design & Test Symp. (EWDTS'2017), Novi Sad, Serbia, Sept. 29 — Oct. 2, 2017. P. 25—28. DOI: 10.1109/EWDTS.2017.8110065.
13. Стемпковский А. Л., Тельпухов Д. В., Жукова Т. Д., Деменева А. И., Надоленко В. В., Гуров С. И. Синтез схемы функционального контроля на основе спектрального R-кода с разбиением выходов на группы // Микроэлектроника. 2019. Т. 48, № 4. С. 284—294.
14. Drozd O., Antoniuk V., Nikul V., Drozd M. Hidden Faults in FPGA-Built Digital Components of Safety-Related Systems // Proc. of the 14th Intern. Conf. "TCSET'2018", Lviv-Slavsko, Ukraine, 2018. P. 805—809. DOI: 10.1109/TCSET.2018.8336320.
15. Drozd O., Perebeinos I., Martynyuk O., Zashcholkina K., Ivanova O., Drozd M. Hidden Fault Analysis of FPGA Projects for Critical Applications // Proc. of the IEEE Intern. Conf. on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET), Lviv-Slavsko, Ukraine, 25—29 Febr. 2020. Paper 142. DOI: 10.1109/TCSET49122.2020.235591.
16. Гессель М., Морозов А. В., Сапожников В. В., Сапожников Вл. В. Логическое дополнение — новый метод контроля комбинационных схем // Автоматика и телемеханика. 2003. № 1. С. 167—176.
17. Saposhnikov V. V., Dmitriev A., Goessel M., Saposhnikov V. V. Self-Dual Parity Checking — a New Method for On-Line Testing // Proc. of the 14th IEEE VLSI Test Symp., USA, Princeton. 1996. P. 162—168.
18. Аксёнова Г. П. Метод синтеза схем встроенного контроля для автоматов с памятью // Автоматика и телемеханика. 1973. № 2. С. 109—116.
19. Ефанов Д. В. Некоторые особенности обнаружения ошибок равномерными неразделимыми кодами // Изв. вузов. Приборостроение. 2019. Т. 62, № 7. С. 621—631. DOI: 10.17586/0021-3454-2019-62-7-621-631.
20. Ефанов Д. В. Особенности обнаружения ошибок кодами Бордена // Электронное моделирование. 2019. Т. 41, № 6. С. 49—64. DOI: 10.15407/emodel.41.06.049.
21. Saposhnikov V. V., Saposhnikov V. V., Morozov A., Goessel M., Osadchy G. Design of Totally Self-Checking Combinational Circuits by Use of Complementary Circuits // Proc. of the 2nd IEEE East-West Design & Test Symp. (EWDTS'2004), Crimea, Ukraine, Sept. 15—17, 2004. P. 83—87.
22. Гессель М., Морозов А. В., Сапожников В. В., Сапожников Вл. В. Контроль комбинационных схем методом логического дополнения // Автоматика и телемеханика. 2005. № 8. С. 161—172.
23. Das D. K., Roy S. S., Dmitriev A., Morozov A., Gössel M. Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes // Proc. of the 10th Intern. Workshops on Boolean Problems, Freiberg, Germany, Sept., 2012. P. 33—40.

24. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Построение полностью самопроверяемых структур систем функционального контроля с использованием равновесного кода „1 из 3“ // Электронное моделирование. 2016. Т. 38, № 6. С. 25—43.
25. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Построение самопроверяемых структур систем функционального контроля на основе равновесного кода „2 из 4“ // Проблемы управления. 2017. № 1. С. 57—64.
26. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В., Пивоваров Д. В. Метод логического дополнения на основе равновесного кода „1 из 4“ для построения полностью самопроверяемых структур систем функционального контроля // Электронное моделирование. 2017. Т. 39, № 2. С. 15—34.
27. Morozov M., Sapozhnikov V. V., Sapozhnikov Vl. V., Goessel M. New Self-Checking Circuits by Use of Berger-Codes // Proc. of the 6th IEEE Intern. On-Line Testing Workshop, Palma de Mallorca, Spain, 3—5 July 2000. P. 171—176.
28. Nikolos D. Self-Testing Embedded Two-Rail Checkers // On-Line Testing for VLSI. 1998. Ch. 7. P. 69—79. DOI: 10.1007/978-1-4757-60-69-9_7.
29. Ефанов Д. В. Метод логического дополнения для контроля комбинационных схем по двоичным разделимым кодам // Вестн. Ташкент. ин-та инженеров железнодорожного транспорта. 2019. № 2. С. 109—124.
30. Efanov D. V., Sapozhnikov V. V., Sapozhnikov Vl. V. The Self-Checking Concurrent Error-Detection Systems Synthesis Based on the Boolean Complement to the Bose — Lin Codes with the Modulo Value $M=4$ // Electronic Modeling. 2021. Vol. 43, iss. 1. P. 28—45. DOI: 10.15407/emodel.43.01.028.
31. Efanov D., Osadchy G., Zueva M. Specifics of Error Detection with Modular Sum Codes in Concurrent Error-Detection Circuits Based on Boolean Complement Method // Proc. of the 19th IEEE East-West Design & Test Symp. (EWDTS'2021), Batumi, Georgia, Sept. 10—13, 2021. P. 59—69. DOI: 10.1109/EWDTS52692.2021.9581036.
32. Efanov D., Osadchy G., Zueva M. Special Aspects of Errors Definition via Sum Codes within Embedded Control Schemas Being Realized by Means of Boolean Complement Method // Proc. of the 11th IEEE Intern. Conf. on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications (IDAACS'2021), Cracow, Poland, Sept. 22—25, 2021. Vol. 1. P. 424—431. DOI: 10.1109/IDAACS53288.2021.9660837.
33. Сагалович Ю.Л. Введение в алгебраические коды. М.: ИППИ РАН, 2010. 302 с.
34. Efanov D., Plotnikov D., Sapozhnikov V., Sapozhnikov Vl., Abdullaev R. Experimental Studies of Polynomial Codes in Concurrent Error Detection Systems of Combinational Logical Circuits // Proc. of 16th IEEE East-West Design & Test Symposium (EWDTS'2018), Kazan, Russia, Sept. 14—17, 2018, P. 184—190. DOI: 10.1109/EWDTS.2018.8524684.
35. Abdullaev R. B., Efanov D. V., Sapozhnikov V. V., Sapozhnikov Vl. V. Polynomial Code with Detecting the Symmetric and Asymmetric Errors in the Data Vectors // Proc. of the 17th IEEE East-West Design & Test Symp. (EWDTS'2019), Batumi, Georgia, Sept. 13—16, 2019. P. 157—161. DOI: 10.1109/EWDTS.2019.8884451.
36. Abdullaev R., Efanov D. Polynomial Codes Properties Application in Concurrent Error-Detection Systems of Combinational Logic Devices // Proc. of the 19th IEEE East-West Design & Test Symp. (EWDTS'2021), Batumi, Georgia, Sept. 10—13, 2021. P. 40—46. DOI: 10.1109/EWDTS52692.2021.9580992.
37. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Классификация ошибок в информационных векторах систематических кодов // Изв. вузов. Приборостроение. 2015. Т. 58, № 5. С. 333—343. DOI: 10.17586/0021-3454-2015-58-5-333-343.
38. Ефанов Д. В., Сапожников В. В., Сапожников Вл. В. Модифицированные коды с суммированием взвешенных переходов в системах функционального контроля комбинационных схем // Тр. ИСП РАН. 2017. Т. 29, № 5. С. 39—60. DOI: 10.15514/ISPRAS-2017-29(5)-3.
39. Efanov D., Sapozhnikov V., Sapozhnikov Vl., Osadchy G., Pivovarov D. Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems // Proc. of the 17th IEEE East-West Design & Test Symp. (EWDTS'2019), Batumi, Georgia, Sept. 13—16, 2019. P. 136—143. DOI: 10.1109/EWDTS.2019.8884398.

Сведения об авторах

Дмитрий Викторович Ефанов — д-р техн. наук, доцент; Российский университет транспорта, кафедра автоматизации, телемеханики и связи на железнодорожном транспорте; Санкт-Петербургский политехнический университет Петра Великого; Высшая школа транспорта Института машиностроения, материалов и транспорта; профессор; E-mail: TrES-4b@yandex.ru

- Руслан Борисович Абдуллаев** — канд. техн. наук; Ташкентский государственный транспортный университет, кафедра автоматики и телемеханики; ст. преподаватель; E-mail: ruslan_0507@mail.ru
- Игорь Вадимович Лесковец** — канд. техн. наук, доцент; Белорусско-Российский университет, кафедра транспортных и технологических машин; E-mail: le@bru.by

Поступила в редакцию 21.09.2021; одобрена после рецензирования 09.11.2021; принята к публикации 02.12.2021.

REFERENCES

1. Sogomonyan E.S., Slabakov E.V. *Samoproveryaemye ustroystva i otkazoustoychivye sistemy* (The Self-Checked Devices and Failure-Safe Systems), Moscow, 1989, 208 p. (in Russ.)
2. Drozd A.V., Kharchenko V.S., Antoshchuk S.G., Drozd Yu.V., Drozd M.A., Sulima Yu.Yu. *Rabocheye diagnostirovaniye bezopasnykh informatsionno-upravlyayushchikh sistem* (Working Diagnostics of Safe Information and Control Systems), Khar'kov, 2012, 614 p. (in Russ.)
3. Sapozhnikov VI.V. *Sintez sistem upravleniya dvizheniyem poyezdov na zheleznodorozhnykh stantsiyakh s isklyucheniym opasnykh otkazov* (Synthesis of Control Systems for the Movement of Trains at Railway Stations with the Exclusion of Dangerous Failures), Moscow, 2021, 229 p.
4. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Kody Khemminga v sistemakh funktsional'nogo kontrolya logicheskikh ustroystv* (Hamming Codes in Functional Control Systems of Logical Devices), St. Petersburg, 2018, 151 p. (in Russ.)
5. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Kody s summirovaniyem dlya sistem tekhnicheskogo diagnostirovaniya. T. 1. Klassicheskiye kody Bergera i ikh modifikatsii* (Summed Codes for Technical Diagnostic Systems. Vol. 1. Classical Berger Codes and Their Modifications), Moscow, 2020, 383 p. (in Russ.)
6. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Kody s summirovaniyem dlya sistem tekhnicheskogo diagnostirovaniya. T. 2. Vzveshennyye kody s summirovaniyem* (Summed Codes for Technical Diagnostic Systems. Vol. 2. Weighted Codes with Summation), Moscow, 2021, 455 p. (in Russ.)
7. Berezyuk N.T., Andrushchenko A.G., Moshchitskiy S.S., Glushkov V.I., Benesha M.M., Gavrilov V.A. *Kodirovaniye informatsii (dvoichnyye kody)* (Information Coding (Binary Codes)), Khar'kov, 1978, 252 p. (in Russ.)
8. Sapozhnikov V.V., Sapozhnikov VI.V. *Samoproveryaemye diskretnye ustroystva* (The Self-Checked Discrete Devices), St. Petersburg, 1992, 224 p. (in Russ.)
9. Piestrak S.J. *Design of Self-Testing Checkers for Unidirectional Error Detecting Codes*, Wrocław, Oficyna Wydawnicza Politechniki Wrocławskiej, 1995, 111 p.
10. Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D. *New Methods of Concurrent Checking*, Edition 1, Dordrecht, Springer Science+Business Media B.V., 2008, 184 p.
11. Gavrilov S.V., Gurov S.I., Zhukova T.D., Ryzhova D.I. *Information Technologies*, 2016, no. 12(22), pp. 931–937. (in Russ.)
12. Tshagharyan G., Harutyunyan G., Shoukourian S., Zorian Y. *Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS'2017)*, Novi Sad, Serbia, September 29–October 2, 2017, pp. 25–28, DOI: 10.1109/EWDTS.2017.8110065.
13. Stempkovskii A.L., Tel'pukhov D.V., Zhukova T.D., Demeneva A.I., Nadolenko V.V., Gurov S.I. *Russian Microelectronics*, 2019, no. 4(48), pp. 240–249.
14. Drozd O., Antoniuk V., Nikul V., Drozd M. *Proceedings of the 14th International Conference TCSET'2018*, Lviv-Slavsko, Ukraine, 2018, pp. 805–809, DOI: 10.1109/TCSET.2018.8336320.
15. Drozd O., Perebeinos I., Martynyuk O., Zashcholkina K., Ivanova O., Drozd M. *Proceedings of the IEEE International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET)*, 25–29 February 2020, Lviv-Slavsko, Ukraine, paper 142, DOI: 10.1109/TCSET49122.2020.235591.
16. Gessel M., Morozov A.V., Sapozhnikov V.V., Sapozhnikov VI.V. *Automation and Remote Control*, 2003, no. 1, pp. 153–161.
17. Saposhnikov VI.V., Dmitriev A., Goessel M., Saposhnikov V.V. *Proceedings of 14th IEEE VLSI Test Symposium*, USA, Princeton, 1996, pp. 162–168.
18. Aksyonova G.P. *Automation and Remote Control*, 1973, no. 2(34), pp. 267–273.
19. Efanov D.V. *Journal of Instrument Engineering*, 2019, no. 7(62), pp. 621–631, DOI: 10.17586/0021-3454-2019-62-7-621-631. (in Russ.)
20. Efanov D.V. *Electronic modeling*, 2019, no. 6(41), pp. 49–64, DOI: 10.15407/emodel.41.06.049. (in Russ.)
21. Saposhnikov V.V., Saposhnikov VI.V., Morozov A., Goessel M., Osadchy G. *Proceedings of 2nd IEEE East-West Design & Test Symposium (EWDTS'2004)*, Crimea, Ukraine, September 15–17, 2004, pp. 83–87.
22. Goessel M., Morozov A.V., Sapozhnikov V.V., Sapozhnikov VI.V. *Automation and Remote Control*, 2005, no. 8, pp. 1336–1346.
23. Das D.K., Roy S.S., Dmitriev A., Morozov A., Gössel M. *Proceedings of the 10th International Workshops on Boolean Problems*, Freiberg, Germany, September, 2012, pp. 33–40.
24. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Electronic modeling*, 2016, no. 6(38), pp. 25–43.
25. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Control Sciences*, 2017, no. 1, pp. 57–64. (in Russ.)
26. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V., Pivovarov D.V. *Electronic modeling*, 2017, no. 2(39), pp. 15–34.
27. Morozov M., Saposhnikov V.V., Saposhnikov VI.V., Goessel M. *Proceedings of 6th IEEE International On-Line Testing Workshop*, Palma de Mallorca, Spain, July 3–5, 2000, pp. 171–176.

28. Nikolos D. *Chapter 7 in On-Line Testing for VLSI*, 1998, pp. 69–79, DOI 10.1007/978-1-4757-60-69-9_7.
29. Efanov D.V. *Vestnik Tashkentskogo instituta inzhenerov zheleznodorozhnogo transporta*, 2019, no. 2, pp. 109–124.
30. Efanov D.V., Sapozhnikov V.V., Sapozhnikov VI.V. *Electronic Modeling*, 2021, no. 1(43), pp. 28–45, DOI: 10.15407/emodel.43.01.028.
31. Efanov D., Osadchy G., Zueva M. *Proceedings of 19th IEEE East-West Design & Test Symposium (EWDTS'2021)*, Batumi, Georgia, September 10–13, 2021, pp. 59–69. DOI: 10.1109/EWDTS52692.2021.9581036.
32. Efanov D., Osadchy G., Zueva M. *Proceedings of 11th IEEE International Conference on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications (IDAACS'2021)*, Cracow, Poland, September 22–25, 2021, pp. 424–431. DOI: 10.1109/IDAACS53288.2021.9660837.
33. Sagalovich Yu.L. *Vvedeniye v algebraicheskiye kody* (Introduction to Algebraic Codes) Moscow, 2010, 302 p. (in Russ.)
34. Efanov D., Plotnikov D., Sapozhnikov V., Sapozhnikov VI., Abdullaev R. *Proceedings of 16th IEEE East-West Design & Test Symposium (EWDTS'2018)*, Kazan, Russia, September 14–17, 2018, pp. 184–190, DOI: 10.1109/EWDTS.2018.8524684.
35. Abdullaev R.B., Efanov D.V., Sapozhnikov V.V., Sapozhnikov VI.V. *Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTS'2019)*, Batumi, Georgia, September 13–16, 2019, pp. 157–161, DOI: 10.1109/EWDTS.2019.8884451.
36. Abdullaev R., Efanov D. *Proceedings of 19th IEEE East-West Design & Test Symposium (EWDTS'2021)*, Batumi, Georgia, September 10–13, 2021, pp. 40–46. DOI: 10.1109/EWDTS52692.2021.9580992.
37. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Journal of Instrument Engineering*, 2015, no. 5(58), pp. 333–343, DOI: 10.17586/0021-3454-2015-58-5-333-343. (in Russ.)
38. Efanov D.V., Sapozhnikov V.V., Sapozhnikov VI.V. *Trudy ISP RAS (ISPRAS Proceedings)*, 2017, no. 5(29), pp. 39–60, DOI: 10.15514/ISPRAS-2017-29(5)-3. (in Russ.)
39. Efanov D., Sapozhnikov V., Sapozhnikov VI., Osadchy G., Pivovarov D. *Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTS'2019)*, Batumi, Georgia, September 13–16, 2019, pp. 136–143, DOI: 10.1109/EWDTS.2019.8884398.

Data on authors

- | | |
|----------------------------|---|
| Dmitry V. Efanov | — Dr. Sci., Associate Professor; Russian University of Transport, Department of Automation, Remote Control, and Communications on Railway Transport; Peter the Great St. Petersburg Polytechnic University, Higher School of Transport on the Institute of Machinery, Materials and Transport; Professor; E-mail: TrES-4b@yandex.ru |
| Ruslan B. Abdullaev | — PhD; Tashkent State Transport University; Department of Automatics and Telemechanics; Senior Lecturer; E-mail: ruslan_0507@mail.ru |
| Igor V. Leskovets | — PhD, Associate Professor; Belarusian-Russian University, Department of Transportation and Technological Machines; E-mail: le@bru.by |

Received 21.09.2021; approved after reviewing 09.11.2021; accepted for publication 02.12.2021.